

DIGITAL SIGNAL PROCESSORS

Operazioni fondamentali di un processore digitale programmabile:

somma - prodotto - ritardo

Famiglie di processori digitali programmabili :

- Microcontrollori
controllo elettrodomestici - facile programmabilità - bassa velocità.
 - Microprocessori
interno PC - complessa programmabilità - alta velocità e versatilità
 - Digital Signal Processors (DSP)
specifici per signal processing - alta velocità - basso consumo di potenza
- ✓ Architettura Von Neumann (2 bus - 1 memoria)
 address bus (processore → memoria)
 data bus (memoria ↔ processore)
 accesso memoria : lettura dati e istruzioni
- ✓ Architettura Harvard (4 bus - 2 memorie) - DSP
- | | |
|---------------------|------------------|
| program memory | data memory |
| program address bus | data address bus |
| program data bus | data data bus |
- ✓ Architettura Harvard modificata
 4 bus interni al processore - Multiplexer - 2 bus esterni

Texas TMS320C5402 DSP

Processore fixed-point Architettura Harvard modificata

Frequenza : 100 MHz Velocità di calcolo : 100 MIPS

- architettura avanzata a multibus:
 - 1 program bus
 - 3 data bus
 - 4 address bus
- unità aritmetico logica a 40 bit ALU
 - + barrel shifter a 40 bit
 - + 2 accumulatori a 40 bit indipendenti
- moltiplicatore parallelo 17x17 bit + sommatore a 40 bit
- exponent encoder
 - esponente di accumulatore a 40 bit - 1 ciclo

- 2 address generators :
data address gen. DAGEN
program address gen. PAGEN
+8 registri ausiliari AR0-AR7
+2 unità aritmetiche dei registri ausiliari ARAU0-ARAU1
- 192K words x 16 bit di memoria indirizzabile
64K program memory + 64K data memory + 64K I/O memory
- 4K words program ROM
4K words di program/data ROM
16K words di dual access RAM (DARAM)
- periferiche on-chip :
 - clock phase-locked loop (PLL) interno o sorgente di clock esterna programmabile
 - porta di connessione con host (host port interface HPI)
 - 2 Multi Channel Buffered Serial Port (McBSP).

8 bus (16 bit)

1 program bus PB

istruzioni + operandi program memory → PB
 program memory → PB (es. coefficienti di un filtro)
 PB → sommatore e moltiplicatore (operazioni MAC)
 PB → data memory (istruzioni data move MVPD e READA).
 istruzioni a 3 operandi - 1 ciclo (es. istruzione FIRS filtro FIR simmetrico)

3 data bus

2 data <u>read</u> bus CB - DB	operandi	← data memory
1 data <u>write</u> bus EB	risultati	→ data memory
(2 read + 1 write simultanei)		

4 address bus

1 Program address bus PAB
 2 Data read address bus CAB - DAB
 1 Data write address bus EAB

2 ARAU → due indirizzi data memory / ciclo

1 peripheral bus (bidirezionale)

controllo periferiche on-chip
 collegato a DB e EB tramite il bus exchanger nella CPU. read e write richiedono ≥ 2 cicli.

On-chip Memory Map

3 spazi diversi selezionabili :

program memory

data memory

I/O memory

4K words ROM (program/data memory map)

DARAM (program/data memory map)

ogni blocco 2 accessi/ciclo

read & write stesso ciclo (CPU, McBSP, HPI ecc.)

Central Processing Unit (CPU)

ALU a 40 bit

≡ 2 ALU a 16 bit (2 single-cycle 16 bit operations)

2 accumulatori a 40 bit A - B

ALU, moltiplicatore/sommatore → A,B

A → moltiplicatore/sommatore

A,B → ALU.

A,B divisi in 3 parti:

guard bits (bits 39-32)

high order word (bits 31-16)

low order word (bits 15-0)

bits 0-31 ↔ data memory (durante istruzione)

moltiplicatore (17x17 bits)

sommatore (40 bit)

moltiplicazione 16 bit con/senza segno con rounding & saturation - 1 ciclo

operazioni MAC (Multiply and Accumulate) - 1 ciclo
(distanza euclidea, filtri simmetrici, LMS)

accessori :

+ elemento di controllo del segno

+ elemento di controllo di frazione

+ zero detector

+ arrotondatore

+ elemento di overflow/saturazione

+ registro temporaneo a 16 bit (T)

input moltiplicatore:

1) $\leftarrow T, \leftarrow \text{data memory}, \leftarrow \text{accumulatore A}$

2) $\leftarrow \text{program memory}, \leftarrow \text{data memory},$
 $\leftarrow \text{accumulatore A}, \leftarrow \text{valore presente}$

OK convoluzione, correlazione e filtraggio

barrel shifter

input a 40 bit $\leftarrow$ accumulatori, data memory (CB o DB)

output a 40 bit $\rightarrow$ ALU, data memory (EB)

traslazione input :

sinistra 0 - 31 bits

destra 0 - 16 bits

istruzioni di shift

$\leftarrow$ registro di stato ST1

$\leftarrow$ registro temporaneo T

barrel shifter + exponent encoder



normalizzazione valori accumulatore per aritmetica floating point - 1 ciclo

CSSU Compare, Select and Store Unit (Viterbi operator)

comparatore high order - low order bits (in A)

+ fornisce cronologia al test/control flag bit (TC) nel registro di stato ST0 e al transition register

+ seleziona word più grande $\rightarrow$ data memory.

DAGEN (Data Address Generation)

PAGEN (Program Address Generation)

Data Addressing

7 tipi di indirizzamento di dati:

1)- indirizzamento immediato

usa l'istruzione per codificare un valore fissato

2)- indirizzamento assoluto

usa l'istruzione per codificare un indirizzo fissato

3)- indirizzamento ad accumulatore

$A \leftarrow \text{program memory}$

4)- indirizzamento diretto

usa 7 bit dell'istruzione per codificare i 7 bit più bassi di un indirizzo. Usati dal data page pointer (DP) o dallo stack pointer (SP) per determinare l'indirizzo di memoria.

5)- indirizzamento indiretto

usa i registri ausiliari ARAU per accedere alla memoria

- 6)- indirizzamento con memory-mapped register
usa i registri memory-mapped senza modificare né il valore DP corrente, né il valore SP corrente.
- 7)- indirizzamento di stack
aggiunge e rimuove oggetti dallo stack di sistema

Durante istruzioni con indirizzamento diretto, indiretto o con memory-mapped register, DAGEN calcola gli indirizzi degli operandi nella data memory.

Program Memory Addressing

indirizzata (usualmente) con il program counter (PC)
(Anche indirizzamento assoluto)

- i) PAGEN → PC
- ii) PC prende le singole istruzioni
- iii) PAGEN incrementa il PC in modo sequenziale
- iii) PAGEN incrementa il PC in modo non sequenziale (calls, returns, istruzioni condizionali, goto, ecc.)

Per calls e interrupts, il valore di PC viene salvato nello stack, a cui fa riferimento lo stack pointer (SP). Quando poi finisce la routine chiamata, viene ripristinato il valore di PC salvato nello stack, tramite un'istruzione di return.

Pipelining

pipeline di istruzioni = sequenza di operazioni durante l'esecuzione di un'istruzione

6 livelli :

- 1)- program prefetch
calcolo indirizzo istruzione indirizzo → PB
- 2)- program fetch
estrazione dell'istruzione
PB → word di istruzione → instruction register IR
- 3)- decode
interpretazione dell'istruzione - decodifica di IR
- 4)- access
estrazione indirizzo operandi
DAGEN → DAB (indirizzo 1° operando)
DAGEN → CAB (indirizzo 2° operando)
Aggiornamento AR in modalità di indirizzamento indiretto e SP.

- 5)- read
estrazione degli operandi ← DB e CB
indirizzo risultato → EAB
- 6)- execute
Esecuzione dell'operazione risultato → EB

Livelli indipendenti

→ in ogni ciclo macchina possono essere attivi anche tutti e sei, ciascuno con un diversa istruzione

A regime pipeline piena di un insieme sequenziale di istruzioni, ciascuna ad uno dei sei livelli.

Se pipeline non piena (discontinuità del PC), per mantenere sequenza della pipeline rimanga sincronizzata, vengono inserite istruzioni NOP (no operation).

Host Port Interface (HPI)

porta parallela a 8 bit

interfaccia con un processore host

memoria on-chip 2K x 6 bit single access RAM (SARAM)

accessibile da : ← processore host
← TMS320C5402

Multichannel Buffered Serial Ports (McBSPs)

synchronous double-buffered serial port (up to 12.5 Mbps)

independent receive/transmit sections (full duplex)

interfaccia periferiche esterne (ADC o DAC) con il peripheral bus a 16 bit

7 pin esterni

1 trasmette dati (DX)

1 riceve (DR)

5 per sincronizzazione

CPU o controller DMA operano :

i) lettura dati in arrivo dal data receive register (DRR)

ii) scrittura dati da trasmettere nel data transmit register (DXR)

Time division multiplexed (TDM) serial port

TDM well-suited for interprocessor communication in multiprocessor DSP systems

5402 DSP Starter Kit (DSK)

Hardware Included

The new C5402 DSK gives students and new DSP designers access to the industry's most powerful DSP specifically optimized for applications that need the best combination of power/performance/area. The 100 MIPS processing power of C5402 enables it to be used in a variety of signal processing development areas including speech compression/decompression speech recognition, text-to-speech, fax/data conversion, modem, protocol conversion, tone generation/detection and echo cancellation. The C5402 device features:

- 100 MHz
- 40-bit ALU
- 16K x 16 Bit dual access on chip RAM
- 4K x 16 Bit on chip ROM
- Advanced multibus architecture with 3 separate 16-bit Data memory busses and 1 Program Memory Bus
- 2 McBSP, 6 DMA controllers, 8 bit host port interface, 2 16 bit timers
- Ordering Information: TMDS32005402 includes a standard US power cord, TMDS32005402E version includes both UK & European power cords

DSK on board features:

- Embedded JTAG Emulation via the TBC and IEEE-1284 Parallel Port
- An on-board parallel port controller allows the host PC to use the parallel port for emulation or to directly access the host port interface of the 'C5402
- Two 3.5mm Audio Jacks for handset microphone and speaker
- RJ-11 Modular Interface Connector for DAA access
- DB-9F RS232 serial I/O port
- Expansion Port Connectors (future plug-in Modules)
- On board Standard JTAG interface connection for optional emulation
- Expansion connectors for add-on accessories
- +5V Universal Power supply

